

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-107802

(43)Date of publication of application : 24.04.1998

(51)Int.Cl.

H04L 12/28

H04Q 3/00

(21)Application number : 08-254630

(71)Applicant : NEC CORP
NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 26.09.1996

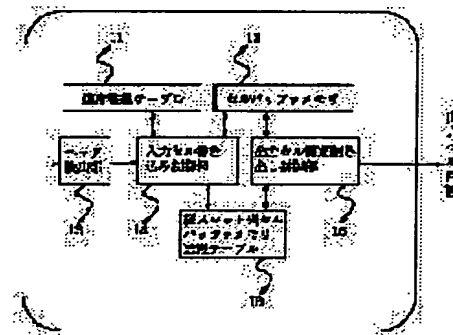
(72)Inventor : EMI SATORU
HIRANO YOSHITAKA

(54) ATM CELL SPEED BAND CONTROL SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To transmit input cells which are received through a plurality of different channels (VCI, VPI or others) from statistically multiplexed communication lines while keeping the previously declared band in a cell band control system for cells transmitted on a communication line of an ATM network.

SOLUTION: This speed band control system has a speed monitor table 11, a cell buffer memory 12, a header detection section 13, an input cell write control section 14, an output cell period read control section 15 and a longitudinal slot stream cell buffer memory monitor table 16. Then cells at a high speed and a low speed that are respectively multiple of K and multiple of 1/K with respect to cells at a reference speed are written periodically to the cell buffer memory 12 whose addresses are arranged so that cells are periodically read corresponding to the noticed band in advance, and cells are read from the cell buffer memory at each read period. Thus, a periodic cell buffer method is employed for the cell buffer memory 12.



LEGAL STATUS

[Date of request for examination] 26.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-107802

(43)公開日 平成10年(1998) 4月24日

(51)Int.Cl.⁸

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

G

H 0 4 Q 3/00

H 0 4 Q 3/00

審査請求 未請求 請求項の数7 O L (全 11 頁)

(21)出願番号 特願平8-254630

(22)出願日 平成8年(1996) 9月26日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71)出願人 000004228

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72)発明者 江見 覚

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 平野 美貴

東京都新宿区西新宿三丁目19番2号 日本電信電話株式会社内

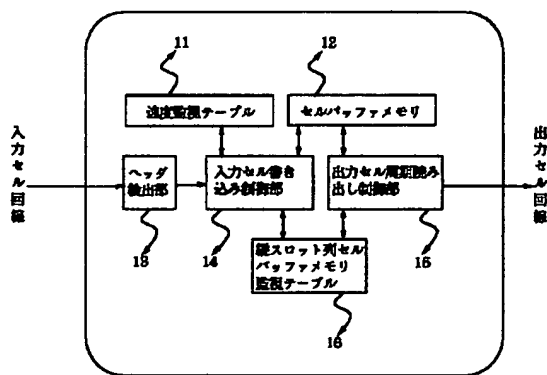
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 ATMセル速度帯域制御方式

(57)【要約】

【課題】 ATM網の通信路上を伝送されるセルの帯域制御方式において、統計多重された通信路から複数の異なるチャネル (VCI、VPI、他) から入力されるセルを予め申告された帯域を守って、入力セルを送出することを目的とする。

【解決手段】 本発明は、ATMセルの速度帯域制御方式において、速度監視テーブル11、セルバッファメモリ12、ヘッダ検出部13、入力セル書き込み制御部14、出力セル周期読み出し制御部15、縦スロット列セルバッファメモリ監視テーブル16を有することで、予め申告された帯域に対応して周期毎に読み出す様に配置されたセルバッファメモリ12に、速度系列に基準速度のセルを設け、基準速度のセルに対してK倍、1/K倍の高速、低速のセルを周期毎に書き込み、読み出し周期毎にセルバッファメモリ12より読み出す、周期読み出しセルバッファ方式を用いる。



【特許請求の範囲】

【請求項1】 ATM網の通信路上を伝送されるATMセルの速度帯域制御方式において、統計多重された通信路からVCI、VPI、その他複数の異なるチャネルから入力されるセルをチャネル毎に識別するヘッダ検出部と、予め申告された速度帯域を表す2種類のパラメータとしてセル書き込み周期であるセル間隔Kと、周期内書き込み可能セル数Nとを、チャネル単位に格納する速度監視テーブルと、1面が入力セル1個分の容量を持ち、縦スロット列L×横スロット列m面分の容量を保持できるメモリからなるセルバッファメモリと、前記セルバッファメモリの縦スロット列を監視する縦スロット列セルバッファメモリ監視部と、入力セルのセルバッファメモリへの格納場所を制御する入力セル書き込み制御部と、読み出し周期毎にセルバッファメモリよりセルを読み出す出力セル周期読み出し制御部を備え、セルを送出する通信路の帯域中の各チャネルに対して予め申告した帯域の比率により入力セルを送出すことを特徴とするATMセル速度帯域制御方式。

【請求項2】 前記入力セル書き込み制御部が、読み出し周期毎に1セル送出する速度を基準速度 v と、速度監視テーブルに設定するチャネル毎の帯域を $(N/K) \times v$ と定義し、チャネル毎に到着セル書き込み縦スロット列Lを判別する手段と、当該縦スロット列に書き込んだ当該チャネルのセル数 n を計算し、 $n < N$ であれば次同一チャネルセルを縦スロット列Lに書き込み、 $n = N$ である場合には $L + K$ の縦スロット列に書き込む手段を有し、出力セル周期読みだし制御部で縦スロット列毎に順次セルバッファメモリよりセルを読み出す請求項1記載のATMセル速度帯域制御方式。

【請求項3】 前記縦スロット列セルバッファメモリ監視部が、基準速度 v におけるセルバッファメモリの縦スロット列の読みだし周期として定義される基準速度 v のセル間隔T内に送出できるセル数Mを定義し、縦スロット列毎に蓄積されているセル数 m を記憶する手段を有し、入力セル到着時に、前記書き込み縦スロット列がLであっても、 $m = M$ である場合には当該入力セルを $L + 1$ の縦スロット列に書き込む請求項1または2記載のATMセル速度帯域制御方式。

【請求項4】 前記出力セル周期読みだし制御部が、基準速度 v のセル間隔T内における読みだし周期として定義される装置単位周期 T_0 と前記装置単位周期 T_0 内の読みだし可能セル数で定義される装置単位セル数 X_0 を設定し、送出セル数 x を計数する手段と、周期 T_0 毎に計数された送出セル数 x をリセットする手

段とを有し、

前記送出セル数 x が装置単位セル数 X_0 に達した場合はセルバッファメモリからの入力セルの送出を停止する請求項1～3の何れかに記載のATMセル速度帯域制御方式。

【請求項5】 さらに、チャネル毎に前記速度監視テーブルに輾轉閾値QAと、輾轉閾値QBを設定する手段と、セルバッファメモリ内に蓄積された当該チャネルのセル数を計数する手段とを有し、

計数されたセル数が輾轉閾値QAを超えた場合に輾轉として前段のATM網の通信路へ輾轉の発生を通知し、輾轉閾値QBを下回った場合に前段のATM網の通信路へ輾轉の発生解除を通知する請求項1記載のATMセル速度帯域制御方式。

【請求項6】 さらに、セルバッファメモリの空きを検出する手段を有し、入力セル到着時にセルバッファメモリに空きがなければ当該セルを廃棄し、セル廃棄中の信号を前段のATM網の通信路へ通知する請求項1記載のATMセル速度帯域制御方式。

【請求項7】 前記速度監視テーブルが、予め申告された速度帯域を表す2種類のパラメータであるセル書き込み周期であるセル間隔Kと、周期内書き込み可能セル数Nと、さらに周期内書き込みセル数 n と、次セル書き込みポイントNPと、輾轉状態判定ビットCGと、輾轉発生閾値QAと、輾轉解除閾値QBと、セルバッファメモリ上に存在するチャネル毎の総セル数 $Q_c n t$ とをチャネル単位に保持できるメモリからなる請求項1から6の何れかに記載のATMセル速度帯域制御方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はATM網における速度帯域制御方式に関し、特にATM網の通信路上へ伝送されるセルの帯域を申告値に従って送出する機構を備える速度帯域制御方式に関する。

【0002】

【従来の技術】従来この種のATM網における帯域制御方式は、図11に示すように、通信路からの入力セルはセル分離手段111にて入力セルのヘッダに設定されたVCIの番号に応じて分離され、各VCIに対応する各セル蓄積手段112に蓄積される。

【0003】各セル蓄積手段112はFIFO (First In First Out) 型のメモリで構成され一定容量を持つ。

【0004】蓄積されたデータは、予め各VCIに対して申告された帯域申告値に対応するデータが制御部より設定されており、各タイミグ毎に読み出し制御を行う読み出し制御手段115より、セル蓄積手段112を選択することでセル蓄積手段112からセルが読み出さ

れ、セル多重手段114より読み出されたセルを出力通信路に多重化して出力することにより、帯域制御を行っていた。

【0005】

【発明が解決しようとする課題】第1の問題点は、従来の技術において帯域制御をセルの読み出し側にて制御していることである。

【0006】その理由は、一般にATM網の通信路を扱う場合、入力セルのチャンネル数は膨大であることである。例えばVCI毎のチャンネル数をとったとしてもそのチャンネル数は、 $2^{16}=65,536$ チャンネル数あり、従来方式にて、そのチャンネル数分の帯域制御を行おうとした場合、読み出し制御手段でのハード的制御手段はチャンネル数に依存した形で複雑困難になる。また、読み出し制御部にて疑似乱数発生カウンタを使用した場合、第1番目に入力されたセルが申告帯域を守っているにも関わらず、第2番目、第3番目に入力された他のチャンネルのセルよりも遅れて送出される可能性は避けられず、伝送遅延が問題となる。

【0007】第2の問題点は、従来の技術においてバッファメモリ(FIFO)を各チャンネル単位毎に持っていることである。

【0008】その理由は、上記でも述べたが、一般にATM網の通信路を扱う場合、チャンネル数は膨大のため、バッファメモリ領域確保が問題となるからである。

【0009】本発明の目的は、上記問題を解決し、入力セルを周期毎に書き込み、読み出し周期毎にセルバッファメモリより読み出す周期読み出しセルバッファ方式を用いるATMセル速度帯域制御方式を提供することである。

【0010】

【課題を解決するための手段】本発明のATMセル速度帯域制御方式は、ATM網の通信路上を伝送されるATMセルの速度帯域制御方式において、統計多重された通信路からVCI、VPI、その他複数の異なるチャンネルから入力されるセルをチャンネル毎に識別するヘッダ検出部と、予め申告された速度帯域を表す2種類のパラメータとしてセル書き込み周期であるセル間隔Kと、周期内書き込み可能セル数Nとを、チャンネル単位に格納する速度監視テーブルと、1面が入力セル1個分の容量を持ち、縦スロット列L×横スロット列m面分の容量を保持できるメモリからなるセルバッファメモリと、前記セルバッファメモリの縦スロット列を監視する縦スロット列セルバッファメモリ監視部と、入力セルのセルバッファメモリへの格納場所を制御する入力セル書き込み制御部と、読み出し周期毎にセルバッファメモリよりセルを読み出す出力セル周期読み出し制御部を備え、セルを送出する通信路の帯域中の各チャンネルに対して予め申告した帯域の比率により入力セルを送出することを特徴とする。

【0011】また、前記入力セル書き込み制御部は、読み

出し周期毎に1セル送出する速度を基準速度vと、速度監視テーブルに設定するチャンネル毎の帯域を $(N/K) \times v$ と定義し、チャンネル毎に到着セル書き込み縦スロット列Lを判別する手段と、当該縦スロット列に書き込んだ当該チャンネルのセル数nを計算し、 $n < N$ であれば次同一チャンネルセルを縦スロット列Lに書き込み、 $n = N$ である場合にはL+Kの縦スロット列に書き込む手段を有し、出力セル周期読み出し制御部で縦スロット列毎に順次セルバッファメモリよりセルを読み出す。

【0012】また、前記縦スロット列セルバッファメモリ監視部は、基準速度vにおけるセルバッファメモリの縦スロット列の読みだし周期として定義される基準速度vのセル間隔T内に送出できるセル数Mを定義し、縦スロット列毎に蓄積されているセル数mを記憶する手段を有し、入力セル到着時に、前記書き込み縦スロット列がLであっても、 $m = M$ である場合には当該入力セルをL+1の縦スロット列に書き込む。

【0013】また、前記出力セル周期読み出し制御部は、基準速度vのセル間隔周期T内における読みだし周期として定義される装置単位周期T0と前記装置単位周期T0内の読みだしセル数で定義される装置単位セル数X0を設定し、送出セル数xを計数する手段と、周期T0毎に計数された送出セル数xをリセットする手段とを有し、前記送出セル数xが装置単位セル数X0に達した場合はセルバッファメモリからの入力セルの送出を停止する。

【0014】さらに、チャンネル毎に前記速度監視テーブルに輻輳閾値QAと、輻輳閾値QBを設定する手段と、セルバッファメモリ内に蓄積された当該チャンネルのセル数を計数する手段とを有し、計数されたセル数が輻輳閾値QAを超えた場合に輻輳として前段のATM網の通信路へ輻輳の発生を通知し、輻輳閾値QBを下回った場合に前段のATM網の通信路へ輻輳の発生解除を通知する。

【0015】さらに、セルバッファメモリの空きを検出する手段を有し、入力セル到着時にセルバッファメモリに空きがなければ当該セルを廃棄し、セル廃棄中の信号を前段のATM網の通信路へ通知する。

【0016】さらにまた、前記速度監視テーブルは、予め申告された速度帯域を表す2種類のパラメータであるセル書き込み周期であるセル間隔Kと、周期内書き込み可能セル数Nと、さらに周期内書き込みセル数nと、次セル書き込みポイントNPと、輻輳状態判定ビットCGと、輻輳発生閾値QAと、輻輳解除閾値QBと、セルバッファメモリ上に存在するチャンネル毎の総セル数Qcnとをチャンネル単位に保持できるメモリからなる。

【0017】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0018】図1は、本発明の一実施例の構成図を示

し、速度監視テーブル11と、セルバッファメモリ12と、ヘッダ検出部13と、入力セル書き込み制御部14と、出力セル周期読み出し制御部15と、縦スロット列セルバッファメモリ監視テーブル16とからなる。

【0019】図2は、速度監視テーブルの構成図を示し、チャンネル単位に予め申告された速度帯域を表す2種類のパラメータであるセル間隔Kと、周期内書き込み可能セル数N及び周期内書き込みセル数nと、次セル書き込みポイントNPと、輻輳状態判定ビットCGと、輻輳発生閾値QAと、輻輳解除閾値QBと、セルバッファメモリ上に存在するチャンネル毎の総セル数Qcntとをチャンネル単位に保持できるメモリからなる。

【0020】図3は、セルバッファメモリ構成図を示し、1面がATMセル1個分の容量を持ち、縦スロット列(L)×横スロット列(m)面分の容量を保持できるメモリからなる。

【0021】図4は、縦スロット列セルバッファメモリ監視テーブル構成図を示し、セルバッファメモリの各縦スロット列に書き込まれているセル数を保持できるメモリからなる。

【0022】次に、本発明の実施の形態の動作について、図5、図6を参照して詳細に説明する。

【0023】図5は、本発明の書き込み制御フローチャートを示す。

【0024】ATM網からの入力セルは、前段ATM網に対して受信セル廃棄通知信号が出力されていない限り、ヘッダ検出部13にて帯域制御されるチャンネル(VCI、VPI、他)番号が識別され、入力セル書き込み制御部14へ伝えられる。(S1)

【0025】入力セル書き込み制御部14は、帯域制御されるチャンネル(SHAP)毎の書き込み情報が保持されている速度監視テーブル11から、入力セルに対する各種情報を読み出す。セルバッファメモリ上にあるチャンネル毎の総セル数を表す値Qcnt(SHAP)=0の場合は、本チャンネルのセルは初めて入力されたセルと同等であるとみなせるので、最も早く読み出される縦スロット列である読み出しポイントOPが示す縦スロット列から数えて+2番目のIP=OP+2縦スロット列目に入力セルを書き込む。

【0026】また、Qcnt(SHAP)≠0の場合は、通常次セル書き込みポイントであるIP=NP(SHAP)縦スロット列目に入力セルを書き込むが、NP(SHAP)=OP、OP+1の場合のみ、読み出し処理時の競合を避けるために、IP=OP+2縦スロット列目に入力セルを書き込む。この時、セルバッファメモリへの横スロット列の書き込み位置は、縦スロット列セルバッファメモリ監視テーブル16より該当書き込み縦スロット列を読み出した値Count(IP)である。(S2)

【0027】入力セルのセルバッファメモリへの書き込

み処理と並行して、次に同一チャンネルのセルが入力された時の書き込み縦スロット列である次セル書き込みポイントNP(SHAP)を決める処理を行う。

【0028】つまり、今、セルバッファメモリ上に1個のセルを書き込んだことにより、セルバッファメモリ上に存在するチャンネル毎の総セル数、周期内書き込みセル数はそれぞれ、 $Qcnt(SHAP) \leftarrow Qcnt(SHAP) + 1$ 、 $n(SHAP) \leftarrow n(SHAP) + 1$ となる。また、縦スロット列セルバッファメモリ監視テーブル16の該当書き込みスロット列の値も、 $Count(IP) \leftarrow Count(IP) + 1$ となる。(S3)

【0029】ここで、周期内書き込み可能セル数N(SHAP)と周期内書き込みセル数n(SHAP)が等しい場合、次に同一チャンネルのセルが入力された時(次セル)は、今書き込んだ縦スロット列からKスロット列離れた縦スロット列に書き込むことになるため、次セル書き込みポイントは、 $NP(SHAP) \leftarrow IP + K(SHAP)$ となる。また、 $N(SHAP) \neq n(SHAP)$ の場合、次セルも今書き込んだ縦スロット列と同一縦スロット列に書き込むことになるため、次セル書き込みポイントは $NP(SHAP) \leftarrow IP$ となる。

【0030】通常本処理を行うことで問題はないが、セルバッファメモリの横スロット列は有限値であることから、次セル書き込みポイントNP(SHAP)が、今読み出し処理を行っているOPを追い越す場合を考える必要がある。もし、NP(SHAP)がOPを追い越した場合、前段ATM網に対して、入力セル受信不可を示す信号を出力し、該当チャンネルの次セル書き込みポイントNP(SHAP)は、今読み出し処理を行っているOPにしておく。(S4)

【0031】このような現象は同一チャンネルのセルが連続して入力された時に発生することから、本現象を避けるために予め輻輳発生閾値QAをチャンネル毎に設定しておき、入力セルをセルバッファメモリに書き込む毎にQcnt(SHAP)と、QA(SHAP)を比較し、 $Qcnt(SHAP) \geq QA(SHAP)$ の時、前段ATM網に対して輻輳チャンネルが発生していることを伝える仕組みを設ける。尚、前段ATM網に対して、輻輳が解除されるまで何回も輻輳通知を行うとかえって前段ATM網側での処理ネックになる可能性もあるため、一度輻輳通知を行ったチャンネルに対しては、輻輳状態を示すCG(SHAP)ビットを立てて、以後同一チャンネルの輻輳発生時には前段のATM網に対して輻輳通知を行わない様にする。(S5)

【0032】入力セルをセルバッファメモリに書き込む一連の処理は、本説明で全てであり、後は、本装置にセルが入力される毎に上記動作を繰り返せば良いことが分かる。

【0033】図6は、本発明の読み出し制御フローチャ

ートを示す。読み出しポインタ(OP)は、セルバッファメモリ12の0スロット列目から読み出し始め、予め申告された基準速度のセル間隔[T]セル個のセルをATM網上に送出する毎に+1づつカウントアップする周期カウンタである。

【0034】今、あるスロット列に読み出しポインタが移動した時の一連の読み出し処理を説明することとする。

【0035】読み出しポインタOPが示す縦スロット列に書き込まれているセル数を、縦スロット列セルバッファメモリ監視テーブル16より読み出し、Count(OP)>0、かつ、基準速度vのセル間隔周期T内における読みだし周期として定義される装置単位周期T0内の読みだしセル数で定義される装置単位セル数[X0]より読み出しセル数が少ない場合、セルバッファメモリ12の(縦列、横列)=(OP、y)面からセルを読み出す。(S6)

【0036】1セル分の有効セルを読み出したことにより、縦スロット列セルバッファメモリ監視テーブル16のセル数、読み出したセルのチャンネル番号のセルバッファメモリ上のチャンネル毎の総セル数はそれぞれ、Count(OP)←Count(OP)-1、Qcnt(SHAP)←Qcnt(SHAP)-1となる。と同時に、次に読み出す縦スロット列の横列の位置を示す値は、y←y+1となる。(S7)

【0037】この時、読み出したセルのチャンネルの輻輳状態を示すCG(SHAP)ビットが立っている場合、読み出したセルのチャンネル番号のセルバッファメモリ上のチャンネル毎の総セル数Qcnt(SHAP)が輻輳解除閾値QB(SHAP)を下回っていれば、該当チャンネルの輻輳状態は解除されたことを前段ATM網に対して通知し、輻輳状態を示すCG(SHAP)のビットを落とす[←0]処理を行う。

【0038】尚、上記条件Count(OP)>0、かつ、x<X0以外の時は空きセルを1セル分読み出す。

【0039】この様に、有効セルであれ、空きセルであれ1セル分のセルを読み出したことにより予め申告された装置単位セル数[X0]、装置単位周期[T0]、基準速度のセル間隔[T]に対するそれぞれの関数値は、x←x+1、w←w+1、t←t+1となる。(S8)

【0040】ここで、装置単位周期[T0]分のセルを読み出した[w=T0]のであれば、装置単位セル数X0、装置単位周期T0の関数をクリア[w←0、x←0]する。

【0041】この様に、基準速度のセル間隔[T]分のセルを読み出すまで、上記処理を繰り返し、t=Tになった時点で、各パラメータ関数をクリア[t←0、w←0、x←0]し、読み出しポインタOPの値をOP←mod(OP+1)に更新する。(S9)

【0042】その時、本装置が前段ATM網に対して受信セル廃棄通知をしているのであれば、読み出しポインタが更新されたことにより書き込みスロット列が空いたので、前段ATM網に対して受信セル廃棄解除通知を行う。(S10)

【0043】セルバッファメモリ上のある縦スロット列から読み出す一連の処理は、本説明で全てであり、後は、読み出しポインタが示す縦スロット列から次々に上記動作を繰り返せば良いことが分かる。

【0044】

【実施例】次に、本発明において異なるチャンネルのセルが入力された時に予め申告された通りに帯域制御されてセルが出力される実施例を図面を参照して詳細に説明する。

【0045】図7は、速度系列の基準速度を256Kbit/sとした時の各速度に対する書き込み処理におけるセル間隔K、及び、周期内書き込み可能なセル数Nを表した速度テーブルの一例である。

【0046】本速度テーブルにおいて、例えば64Kbit/sを基準速度にした場合、セル間隔K、及び、セル数Nが次に示す様に変化することは言うまでもない。

【0047】64Kbit/s (K=1、N=1)

128Kbit/s (K=1、N=2)

256Kbit/s (K=1、N=4)

512Kbit/s (K=1、N=8)

1024Kbit/s (K=1、N=16)

図8は、書き込み側の基準速度に対する読み出し側の基準速度のセル間隔[T]を表した基準速度に対する読み出しセル数の関係の一例である。

【0048】本表の算出根拠を、今、64Kbit/s帯域のセルについて考えるとする。64Kbit/s帯域のセル発生間隔は、 $48 \times 8 / 64 = 6 \text{ ms}$ である。155.52Mbit/sの伝送速度で、1セル長が54バイトの場合の1セルの時間は、 $54 \times 8 / 155.52 \mu \text{ s}$ となる。6msをセル数に換算すると、 $6 \text{ ms} \div (54 \times 8 / 155.52 \mu \text{ s} / \text{セル}) = 2160 \text{ セル}$ 。つまり、64Kbit/s帯域のセル発生間隔は、2160セル間隔に1個の有効セルが挿入されるイメージである(2159セルは空きセル)。

【0049】上記計算式より、一般にXKbit/s帯域とは、

$48 \times 8 / X [\text{ms}] \div (54 \times 8 / 155.52 [\mu \text{ s} / \text{セル}]) = 138,240 / X [\text{セル}]$

間隔に1個の有効セルが挿入されることである。

【0050】図9は、基準速度を256Kbit/sにした場合における本発明のATMセル速度帯域制御方式の処理概要図の一例である。

【0051】入力セル回線に図9に示す様な、チャンネル番号a～eのセルが入力されたとする。チャンネル番号aのセルは出力帯域が128Kbit/sであるため、書

き込み側処理としては、2、4、6、8、10縦スロット列に各1セルずつ書き込むことになる。同様処理を、チャンネル番号 $\beta \sim \epsilon$ のセルに対しても行うと図9に示すセルバッファメモリの位置に各入力セルが書き込まれることが分かる。

【0052】読み出し側処理として、今、基準速度のセル間隔 $[T]$ を540、装置単位周期 $[T0]$ を5、装置単位セル数 $[X0]$ を3とする。読み出しポイント OP が0~1スロット列目の時は、有効セルが書き込まれていないので、基準速度のセル間隔 $[T]$ セル分の空きセルが出力される。第2スロット列目以降は、図9に示した様にセルが出力され、予め申告された速度帯域を守ってセルが送出されることが分かる。

【0053】次に、本発明の他の実施例の動作について、補足説明する。本文中、セルバッファメモリの横スロット列は有限値であるために発生する書き込み制御時の対策については前に記述した。

【0054】同様に、セルバッファメモリの縦スロット列についても有限値であるために発生する書き込み制御時の対策について、図10を参照して詳細に説明する。

【0055】図10は、縦スロット列内の書き込み可能セルの積み残した場合の次の処理を示す一例である。図中(a)は低速帯域制御対象セル $[K>1, N=1]$ での積み残し、(b)は高速帯域制御対象セル $[K=1, N>1]$ での積み残しの場合の処理を示している。

【0056】書き込み処理時に、基準速度 v のセル間隔 $[T]$ 内に送出できるセル数 M を定義し、縦スロット列セルバッファメモリ監視部に縦スロット列毎に蓄積されているセル数 m を記憶する手段を有し、入力セル到着時に、書き込み縦スロット列が L であっても、 $m=M$ である場合には当該入力セルを $L+1$ の縦スロット列に書き込むことで、書き込み周期内バッファ溢れ発生が防止可能になる。つまり、低速帯域制御対象セルでは、実際の書き込み縦スロット列から次の縦スロット列をカウントし、高速帯域制御対象セルで縦スロット列内書き込み可能セル数が残っている場合には、その分のセルは書き込まずに次の縦スロット列に N セル書き込む処理を行う。本処理を行うことにより、時間軸上瞬間的には、予め申告された速度帯域に対して大きな速度帯域(送出時間が遅くなる方向)でセルが送出されることになるが、ATM網のトラヒックに応じた形で、効率良くセルバッファメモリを使用可能になる。

【0057】また、本文中、前段ATM網に対して受信セル廃棄通知信号の解除契機は、読み出しポイントが一度更新された時にするように説明した。本処理では、受信セル廃棄通知信号解除時に、受信セル廃棄通知信号が発生させたチャンネルのセルが入力されたとすると、再度受信セル廃棄通知信号が発生することになる。本現象を避けるために、ある程度の時間をおいて受信セル廃棄通

知信号を解除する様な仕組み、すなわち、読み出しポイントが何縦スロット分か移動した時に受信セル廃棄通知信号を解除する様に、解除契機の可変化処理を加えれば良いことは言うまでもない。

【0058】

【発明の効果】第1の効果は、一連の速度帯域制御を書き込み制御部にて全て処理し、読み出し制御部では、セルバッファメモリの周期読み出し処理のみ行えば良い点である。その理由は、入力セルのチャンネル数に依存せず処理可能な点である。また、入力順序を守った形でのセル送出、及び、装置として速度帯域制御可能な点である。第2の効果は、効率よくセルバッファメモリを使用可能な点である。

【0059】その理由は、ATM網のトラヒック特性に応じた形でセルバッファメモリの縦スロット列、横スロット列を決定でき、輻輳状態にも耐えうる点である。

【図面の簡単な説明】

【図1】本発明の一実施例の構成図

【図2】本発明の速度監視テーブルの構成図

【図3】本発明のセルバッファメモリの構成図

【図4】本発明の縦スロット列セルバッファメモリ監視テーブルの構成図

【図5】本発明の書き込み制御フローチャート

【図6】本発明の読み出し制御フローチャート

【図7】本発明の基準速度(256Kbit/s)に対する速度テーブルの一例

【図8】本発明の基準速度に対する読み出しセル数の関係の一例

【図9】本発明のATMセル速度帯域制御方式の処理概要図

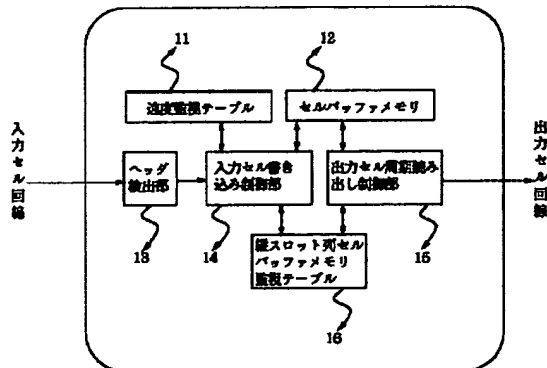
【図10】本発明の縦スロット列内の書き込み可能セルの積み残した場合の次の処理の一例、(a)は低速帯域制御対象セル $[K>1, N=1]$ での積み残し、(b)は高速帯域制御対象セル $[K=1, N>1]$ での積み残しの場合の処理

【図11】従来技術の実施例の構成図

【符号の説明】

- | | |
|-----|-----------------------|
| 11 | 速度監視テーブル |
| 12 | セルバッファメモリ |
| 13 | ヘッダ検出部 |
| 14 | 入力セル書き込み制御部 |
| 15 | 出力セル周期読み出し制御部 |
| 16 | 縦スロット列セルバッファメモリ監視テーブル |
| 111 | セル分離手段 |
| 112 | セル蓄積手段 |
| 113 | 最大セル蓄積量設定手順 |
| 114 | セル多重手段 |
| 115 | 読み出し制御手段 |

【図1】

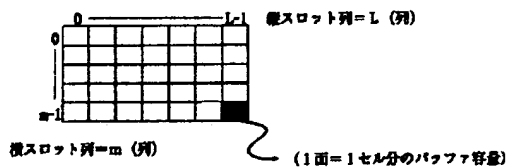


【図2】

Rank No.	K	N	n	NP	CG	QA	QB	Qcnt
0								
...								
X-1								

K : 区間
 N : 周知内容書き込み可能セル数
 n : 周知内容書き込みセル数
 NP : 次セル書き込みポイント
 CG : 衝突状態判定ビット
 QA : 衝突発生検出
 QB : 衝突解除検出
 Qcnt : セルバッファメモリ上に存在するチャネル毎のセル数

【図3】



【図4】

縦スロット列位置	書き込みセル数 (個)
0	
...	
L-1	

【図7】

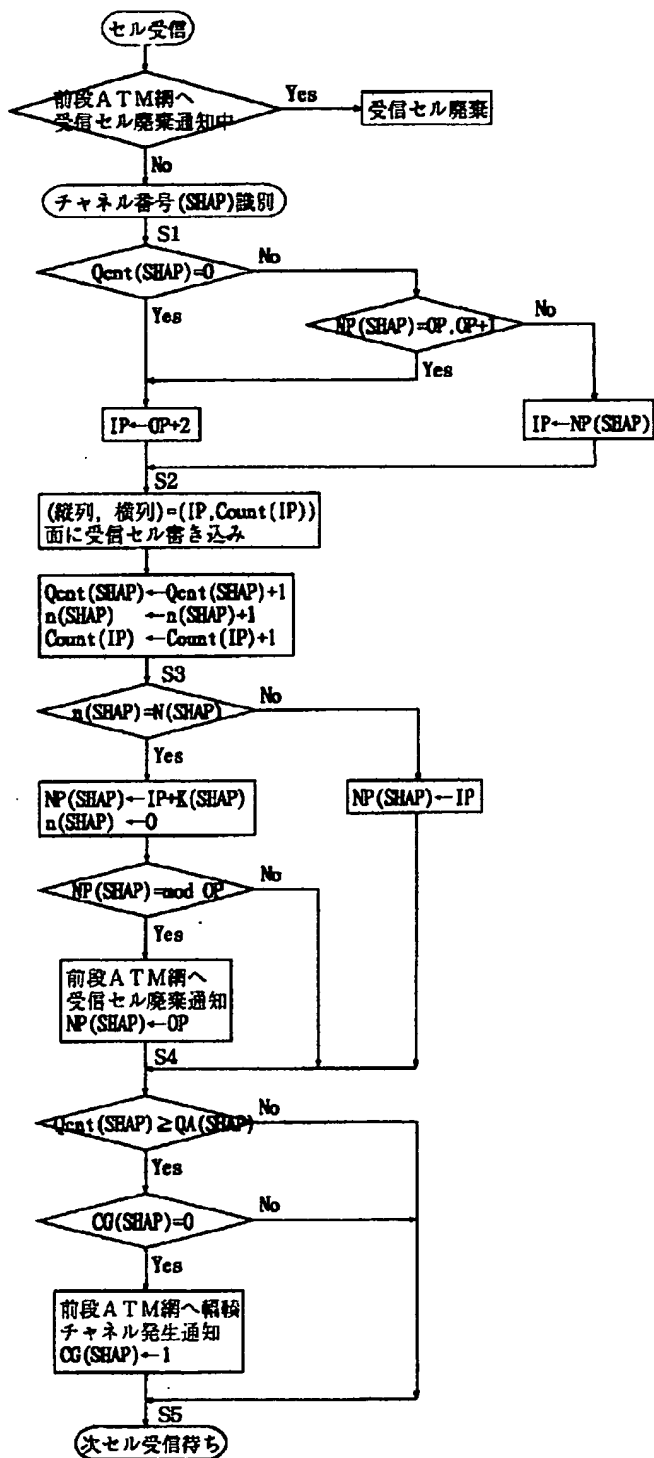
速度帯域(Kbit/s)	間隔 K	セル数 N
64	4	1
128	2	1
256	1	1
512	1	2
1024	1	4

基準速度 256

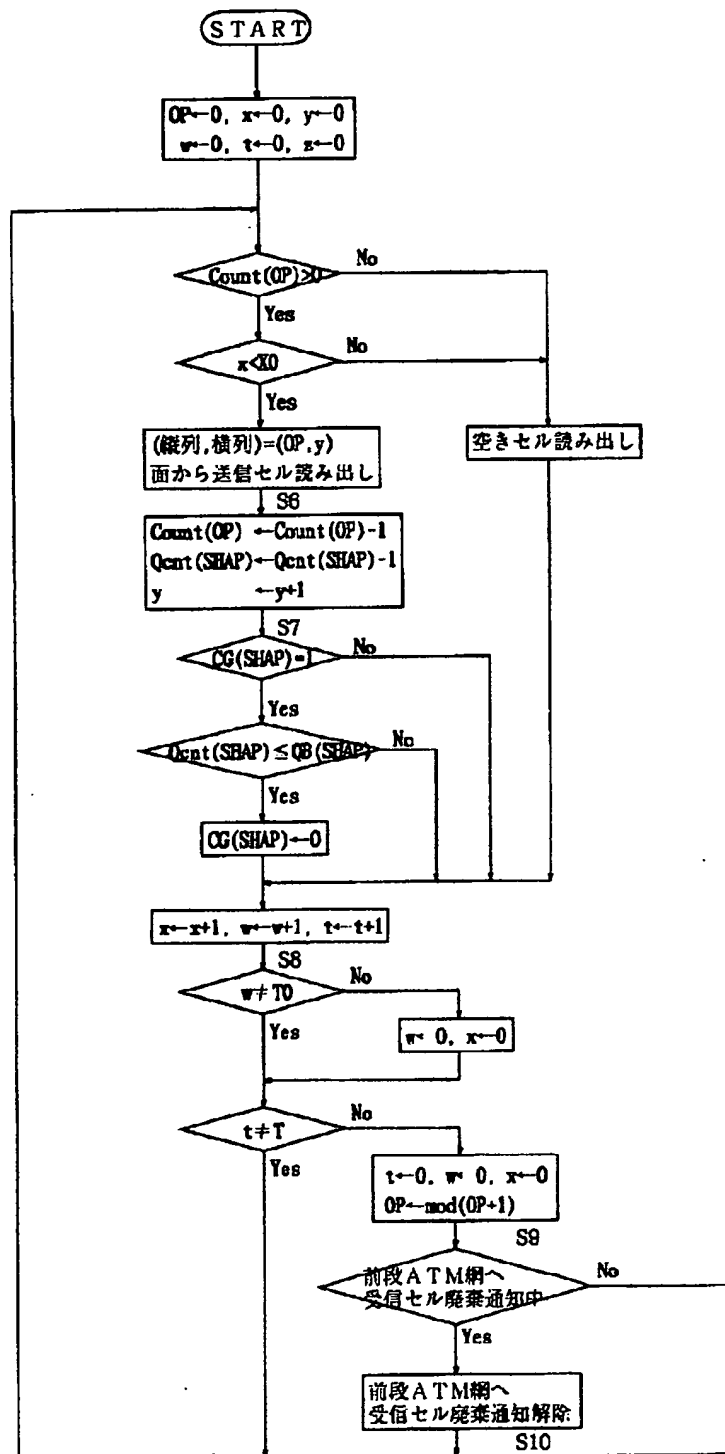
【図8】

基準速度	基準速度の セル間隔 T (セル数)
64Kbit/s	2160
128Kbit/s	1080
256Kbit/s	540
512Kbit/s	270
1.024Mbit/s	135
155.52Mbit/s	1

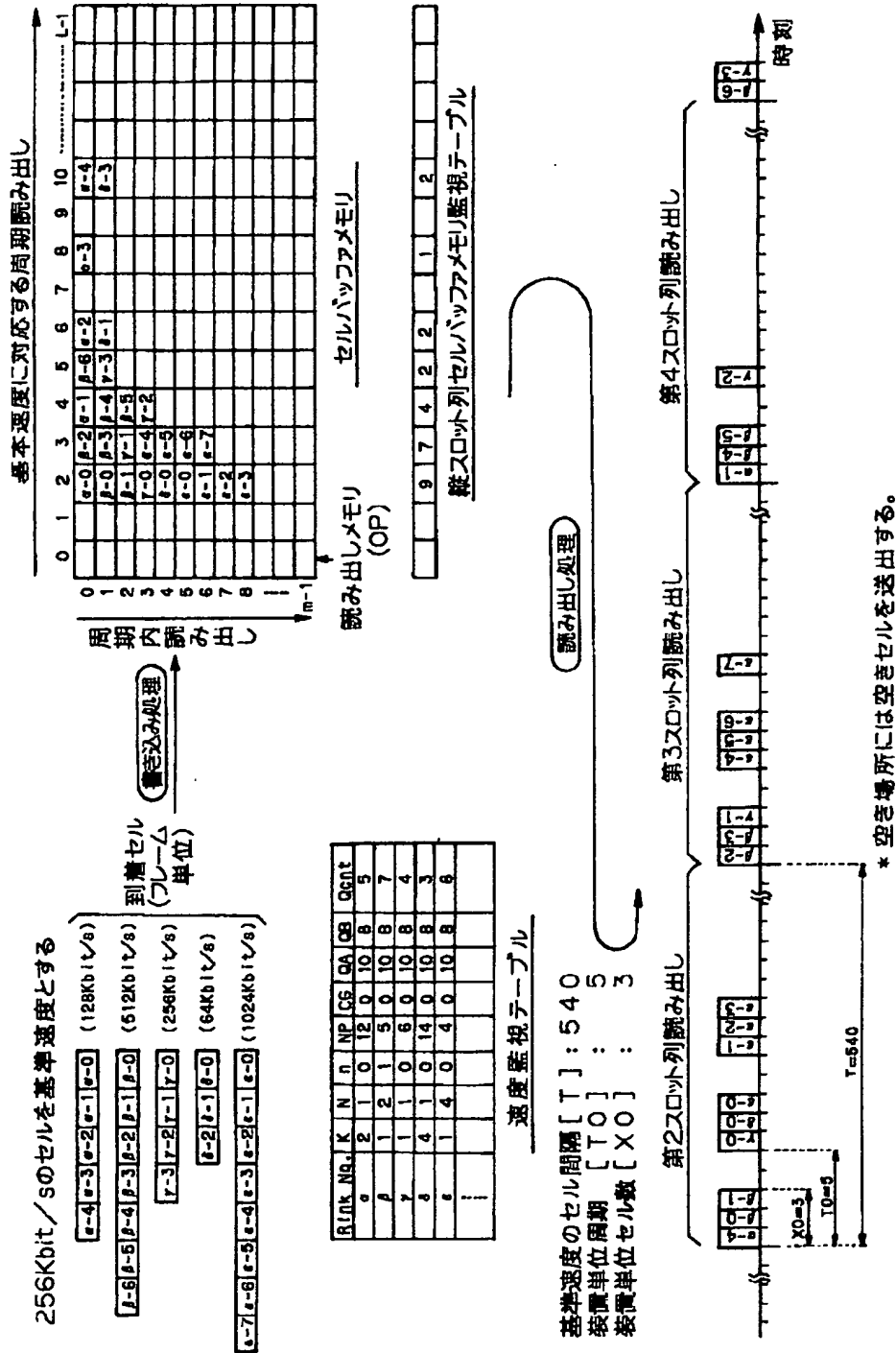
【図5】



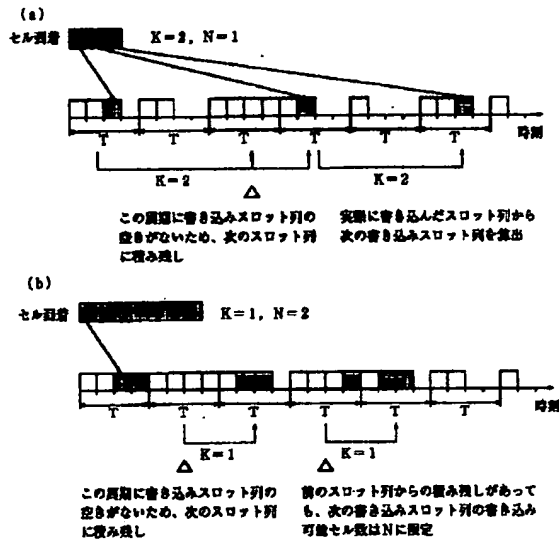
【図6】



【図9】



【図10】



【図11】

